

Docket No.: 50090-233

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yukihiro NAGAI, et al.

Serial No.:

Filed: August 04, 2000

For: SEMICONDUCTOR DEVICE HAVING A POTENTIAL FUSE, AND METHOD OF
MANUFACTURING THE SAME

Group Art Unit:

Examiner:

jc841 U.S. PTO
09/631623
08/04/00



CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 11-358760,
filed December 17, 1999

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Gene Z. Rubinson

Gene Z. Rubinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:dtb
Date: August 4, 2000
Facsimile: (202) 756-8087

G254up

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

50000-233

Nagai, et al.

August 4, 2000

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

1999年12月17日

JC841 U.S. PTO
09/631623
06/04/00



出願番号
Application Number:

平成11年特許願第358760号

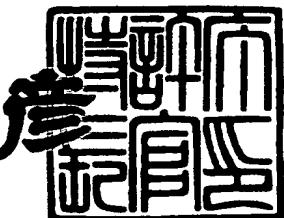
出願人
Applicant(s):

三菱電機株式会社

2000年 1月14日

特許庁長官
Commissioner,
Patent Office

近藤 隆



出証番号 出証特平11-3094070

【書類名】 特許願

【整理番号】 520547JP01

【提出日】 平成11年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82

H01L 21/822

H01L 27/04

H01L 27/108

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 永井 享浩

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 豆谷 智治

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 中田 洋治

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 城戸 成範

【発明者】

【住所又は居所】 兵庫県伊丹市東有岡4丁目42-8 株式会社エルテック内

【氏名】 岸田 健

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 衣笠 彰則

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 西村 浩明

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 松房 次郎

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9911111

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板に形成された活性領域と、上記半導体基板に形成され、上記活性領域を分離する分離領域と、上記活性領域にゲート酸化膜を介して形成されたゲートとを備え、上記ゲート酸化膜を電気ヒューズとして作用させることを特徴とする半導体装置。

【請求項2】 半導体基板に形成された活性領域と、上記半導体基板に形成され、上記活性領域を分離する分離領域と、上記活性領域に厚さの異なるゲート酸化膜を介して設けられた複数個のゲートとを備え、上記各ゲート酸化膜のうち、厚さの薄いゲート酸化膜を電気ヒューズとして作用させることを特徴とする半導体装置。

【請求項3】 半導体基板に形成された活性領域と、上記半導体基板に形成され、上記活性領域を分離する分離領域と、上記活性領域に厚さの異なるゲート酸化膜を介して設けられた複数個のゲートとを備えた半導体装置において、厚いゲート酸化膜上に設けられたゲートへの付与電圧を薄いゲート酸化膜上に設けられたゲートに印加して薄いゲート酸化膜を破壊し、電気ヒューズとして作用させることを特徴とする半導体装置の製造方法。

【請求項4】 半導体基板の主面にSiN層またはSiNとポリシリコンとの複合層を形成する工程、上記SiN層または複合層と上記半導体基板をエッチングして活性領域を分離する第1のトレンチと、上記活性領域より広い活性領域を分離する第2のトレンチと、電気ヒューズ部を構成する第3のトレンチとを形成する工程、上記各トレンチ内及び各活性領域の上部に絶縁膜を形成する工程、写真製版により上記広い活性領域と第3のトレンチ内部の絶縁膜をそれぞれ除去する工程、CMPにより上記SiN層または複合層より突出している絶縁膜を研磨除去する工程、上記SiN層または複合層を除去すると共に、上記各活性領域の上面及び第3のトレンチの各内表面にゲート酸化膜を形成する工程、第1及び第2のトレンチの上面及び上記ゲート酸化膜の上面にトランスマルチゲートを形成する工程を有し、上記第3のトレンチのゲート酸化膜を電気ヒューズとして作

用させることを特徴とする半導体装置の製造方法。

【請求項5】 半導体基板の正面にSiN層またはSiNとポリシリコンとの複合層を形成する工程、上記SiN層または複合層と上記半導体基板をエッチングして活性領域を分離する第1のトレンチと、上記活性領域より広い活性領域を分離する第2のトレンチと、キャパシタ部を構成する第3のトレンチとを形成する工程、上記各トレンチ内及び各活性領域の上部に絶縁膜を形成する工程、写真製版により上記広い活性領域と第3のトレンチ内部の絶縁膜をそれぞれ除去する工程、CMPにより上記SiN層または複合層より突出している絶縁膜を研磨除去する工程、上記SiN層または複合層を除去すると共に、上記各活性領域の上面及び第3のトレンチの各内表面にゲート酸化膜を形成する工程、第1及び第2のトレンチの上面及び上記ゲート酸化膜の上面にトランスマルチゲートを形成する工程を有し、上記第3のトレンチのゲート酸化膜をキャパシタ形成用の誘電体とすることを特徴とする半導体装置の製造方法。

【請求項6】 第3のトレンチを所定の間隔で複数個形成し、ゲート酸化膜を第3のトレンチの各内表面に沿って形成するようにしたことを特徴とする請求項4または請求項5記載の半導体装置の製造方法。

【請求項7】 複数個形成された第3のトレンチの少なくとも1個にCMPによる削り過ぎ防止用の絶縁膜を埋め込むことを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置、特に電気ヒューズを備えた半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

従来、メモリーデバイス等の半導体装置の製造工程において、ウェハ段階でのテストとして、メタル配線等に外部からレーザを照射して所定の部分を切断し、配線オープンとしたり、チップ内の所定の層間膜に電圧を印加して電気的に破壊

し、配線ショートさせて電気ヒューズとして機能させることにより、不良の救済や電圧調整をすることが行なわれている。

【0003】

【発明が解決しようとする課題】

しかしながら、上述のレーザ照射による場合は、レーザ照射対象であるメタル配線等がレーザで照射できる状態であることが必要であるため、ウェハ段階でしか適用できず、チップ化した後には適用できないという問題があった。

また、レーザ照射時に、照射位置の近辺にある回路にダメージを与えるため、ヒューズ部の近くや下側に回路を配置することができず、従って、チップレイアウトが難しいという問題点もあった。

更に、何らかの原因で照射位置にミスが発生した場合には、周辺回路の破壊等、非常に大きな被害となり、デバイスの救済が不可能となることが多い、などの問題があった。

また、電圧印加による場合は、チップアセンブリ後でも適用することができ、しかも、ヒューズ部の近辺に与えるダメージが少ないので、ヒューズ部の上下に回路を配置することができ、チップレイアウトが楽になるという利点があるが、チップ内にて発生できる電圧は限られているため、確実に層間膜を破壊するためには、電圧印加用ヒューズの面積を広くする必要があり、チップの小型化に適さないという問題点があった。

【0004】

この発明は、上記のような問題点を解消するためになされたもので、利点の多い電圧印加による電気ヒューズトリミングが実施できるようにするために、非常に薄い膜でヒューズを形成する半導体装置と、トランジスタトレンチ方式分離L.O.C.O.S作成プロセスを利用して狭い面積で電気ヒューズあるいはキャパシタを作成することのできる製造方法を提供しようとするものである。

【0005】

【課題を解決するための手段】

この発明に係る半導体装置は、最近のデバイストランジスタにおけるデュアルゲート等の複数の酸化膜使用により、ゲート酸化膜が非常に薄膜化されているこ

とに着目してなされたもので、半導体基板に形成された活性領域と、半導体基板に形成され、活性領域を分離する分離領域と、活性領域にゲート酸化膜を介して形成されたゲートとを備え、ゲート酸化膜を電気ヒューズとして作用させるようにしたものである。

【0006】

この発明に係る半導体装置は、また、半導体基板に形成された活性領域と、半導体基板に形成され、活性領域を分離する分離領域と、活性領域に厚さの異なるゲート酸化膜を介して設けられた複数個のゲートとを備え、各ゲート酸化膜のうち、厚さの薄いゲート酸化膜を電気ヒューズとして作用させるようにしたものである。

【0007】

この発明に係る半導体装置の製造方法は、半導体基板に形成された活性領域と、半導体基板に形成され、活性領域を分離する分離領域と、活性領域に厚さの異なるゲート酸化膜を介して設けられた複数個のゲートとを備えた半導体装置において、厚いゲート酸化膜上に設けられたゲートへの付与電圧を薄いゲート酸化膜上に設けられたゲートに印加して薄いゲート酸化膜を破壊し、電気ヒューズとして作用させるようにしたものである。

【0008】

この発明に係る半導体装置の製造方法は、また、半導体基板の主面にSiN層またはSiNとポリシリコンとの複合層を形成する工程、SiN層または複合層と半導体基板をエッチングして活性領域を分離する第1のトレンチと、活性領域より広い活性領域を分離する第2のトレンチと、電気ヒューズ部を構成する第3のトレンチとを形成する工程、各トレンチ内及び各活性領域の上部に絶縁膜を形成する工程、写真製版により広い活性領域と第3のトレンチ内部の絶縁膜をそれぞれ除去する工程、CMPによりSiN層または複合層より突出している絶縁膜を研磨除去する工程、SiN層または複合層を除去すると共に、各活性領域の上面及び第3のトレンチの各内表面にゲート酸化膜を形成する工程、第1及び第2のトレンチの上面及びゲート酸化膜の上面にトランスマルチゲートを形成する工程を有し、第3のトレンチのゲート酸化膜を電気ヒューズとして作用させるよう

にしたものである。

【0009】

この発明に係る半導体装置の製造方法は、また、半導体基板の正面にSiN層またはSiNとポリシリコンとの複合層を形成する工程、SiN層または複合層と半導体基板をエッチングして活性領域を分離する第1のトレンチと、活性領域より広い活性領域を分離する第2のトレンチと、キャパシタ部を構成する第3のトレンチとを形成する工程、各トレンチ内及び各活性領域の上部に絶縁膜を形成する工程、写真製版により広い活性領域と第3のトレンチ内部の絶縁膜をそれぞれ除去する工程、CMPによりSiN層または複合層より突出している絶縁膜を研磨除去する工程、SiN層または複合層を除去すると共に、各活性領域の上面及び第3のトレンチの各内表面にゲート酸化膜を形成する工程、第1及び第2のトレンチの上面及びゲート酸化膜の上面にトランスマルチゲートを形成する工程を有し、第3のトレンチのゲート酸化膜をキャパシタ形成用の誘電体とするようにしたものである。

【0010】

この発明に係る半導体装置の製造方法は、また、第3のトレンチを所定の間隔で複数個形成し、ゲート酸化膜を第3のトレンチの各内表面に沿って形成するようにしたものである。

【0011】

この発明に係る半導体装置の製造方法は、また、複数個形成された第3のトレンチの少なくとも1個にCMPによる削り過ぎ防止用の絶縁膜を埋め込むものである。

【0012】

【発明の実施の形態】

実施の形態1.

以下、この発明の実施の形態1について説明する。

図1は、実施の形態1を説明するためのトレンチ分離のデュアルゲートトランジスタの概略構成図である。この図において、1は半導体基板、2は半導体基板に設けられたトレンチによる分離領域で、トレンチ3及びトレンチ内に埋め込まれ

た絶縁膜4で構成されている。

5は活性領域、6Aは第1のゲート電極で、比較的厚いゲート酸化膜7Aを介して活性領域5に装着されている。また、6Bは第2のゲート電極で、非常に薄いゲート酸化膜7Bを介して活性領域5に装着されている。

厚いゲート酸化膜の第1のゲート電極6Aには、第2のゲート電極6Bより高い電位が与えられ、周知のデュアルゲートとして動作する。

【0013】

この実施の形態は、非常に薄い絶縁膜であるゲート酸化膜7Bをヒューズとして使用することを特徴とする。

薄い絶縁膜は、電圧の印加によって破壊し易いため、チップとの接合面積を小さくしても電気ヒューズトリミングを効果的に実施することができる。

従って、上述した電気ヒューズトリミングの利点を全て享受することができるものである。また、ヒューズをゲート酸化膜で形成するようにすると、ヒューズの使用が一般的でない、ASIC等の非メモリーデバイスにおいても、そのデバイスで使用されているゲート酸化膜の一部を流用することにより、ヒューズを使用することができる。更に、薄いゲート酸化膜は、キャパシターの誘電体としても利用することが可能である。

【0014】

図1のデュアルゲート構造のデバイスにおいて、薄いゲート酸化膜7Bをヒューズとして使用する場合には、厚いゲート酸化膜の第1のゲート電極6Aに与えている高い電位を第2のゲート電極6Bに与えることによって薄いゲート酸化膜7Bをブレイクダウンさせ、第2のゲート電極6Bと半導体基板1間をショートさせて利用する。

【0015】

実施の形態2。

次に、この発明の実施の形態2を図にもとづいて説明する。

この実施の形態は、ゲート酸化膜を含む半導体装置の製造方法を提供するもので、トランジスタトレンチ方式分離LOCOS作成プロセスを利用する点に特徴がある。図2～図8は、実施の形態2の製造プロセスを示す断面図である。

これらの図は、この発明の特徴を分かり易くするため、半導体装置のうち、メモリセルの部分（A）と、広い活性領域を有する周辺回路部分（B）と、電気ヒューズ部またはキャパシタ部あるいは写真製版用マーク部を構成する部分（C）とを抽出して並べた形になっており、その他の部分は省略されている。

【0016】

以下、順を追ってプロセスを説明する。

先ず、図2に示すように、半導体基板10の正面にSiNまたはSiNとポリシリコンとからなる層11を後述するエッティングストップとして（A）（B）（C）の全部分に形成する。以下は、11をSiN層として説明する。

次に、フィールドの写真製版をした後、図3に示すように、分離LOCOSを形成するトレンチ12をエッティングによって（A）（B）（C）の各部分にそれぞれ複数個形成する。

続いて、図4に示すように、各トレンチ内に絶縁膜であるSiO₂層13を堆積させる。この時、SiO₂層の堆積厚さを例えば5000Åとし、トレンチ12の深さを3000Åとすると、（A）の部分ではトレンチ深さY=3000Å、半導体基板10上の堆積厚さX=2000Åとなり、（C）の部分でもほぼ同じとなるが、（B）の部分では活性領域14が広く、即ちトレンチ12の形成されていない領域が広いため、（B）の部分での活性領域14の上方では堆積厚さである5000Åが総てSiN層11の上に堆積される形となって、この部分のみ、図示のように高くなる。

【0017】

次の工程で、CMPによってSiN層11から上の部分のSiO₂層を削り取り、平らにすることになるが、（A）の部分と（C）の部分でSiN層11の表面までSiO₂層13を削り取っても、（B）の部分の活性領域14の上方のみSiO₂層13が残ることになるため、これを解消する目的で図4の状態に続いてプリエッチを行なう。これは図4における（B）の部分の活性領域14上に堆積した5000ÅのSiO₂層13をCMP研磨の前にエッティングによって除去しようとするものである。

この実施の形態の特徴は、このプリエッチの工程で（C）の部分のトレンチ内

のSiO₂層を総て除去する点にある。

【0018】

即ち、図5に示すように、SiO₂層13上にレジスト膜15を施し、写真製版によって(B)の部分の活性領域14の上部と、(C)の部分のレジスト膜を除去し、その後、エッティングによって同部分のSiO₂層13を除去する。

(B)の部分の活性領域14上のSiO₂層13の堆積厚さは5000Åであり、(C)の部分の堆積厚さもトレンチ内のYと、その上部のXとを合わせて5000Åであるため、(B)の部分の活性領域14上のSiO₂層のエッティングがエッティングストップであるSiN層11に達した時、(C)の部分のSiO₂層13はXとYとを合わせて総て除去されることになる。

なお、(B)の部分のプリエッチを行なわずに、写真製版用マーク部のSiO₂層のみを除去することもある。

この状態でレジスト膜15を除去した後、図6に示すように、SiN層11から上の部分のSiO₂層をCMPによって研磨除去する。

【0019】

次いで、図7に示すように、SiN層11を除去した後、図8に示すように、ゲート酸化膜としてのSiO₂膜16を形成し、その上部にトランスマルチゲート17を形成する。

ゲート酸化膜16とトランスマルチゲート17は、(C)の部分ではトレンチ12の内表面に沿って形成されるため、半導体基板の主面からみた面積は小さいがトランスマルチゲート17と半導体基板10との対向面積は大きくなる。

(C)の部分におけるトレンチは、必要に応じて複数個設け、トレンチの繰り返しパターンによって表面積を大きくすることができる。

(C)の部分を電気ヒューズとして使用する場合には、半導体基板10とトランスマルチゲート17との間に高電界をかけてゲート酸化膜16をブレイクダウンさせ、トランスマルチゲート17と半導体基板10間をショートさせて利用する。(C)の部分をキャパシタとして使用する場合には、半導体基板10とトランスマルチゲート17との間をショートさせずに、ゲート酸化膜16をキャパシタの誘電体として利用する。

【0020】

実施の形態3.

次に、この発明の実施の形態3を図にもとづいて説明する。

図9は、図2～図8における(C)の部分の概略斜視図で、実施の形態3を適用した構成を示している。

この図において、図2～図8と同一または相当部分には同一符号を付して説明を省略する。図2～図8と異なる点は、トレンチの1個に、CMPによる削り過ぎ防止用の絶縁膜を埋め込んだ点である。即ち、18はトレンチの1個に埋め込まれた絶縁膜で、上述したCMPによる研磨工程において、削り過ぎを防止するためのストッパとして作用するものである。

このストッパは、(C)の部分に形成されるトレンチの総数に応じて複数のトレンチに設けることもある。設け方も、隣接するトレンチに設けててもよいし、適宜の間隔をあけて設けててもよい。

【0021】

【発明の効果】

この発明に係る半導体装置は、半導体基板に形成された活性領域と、半導体基板に形成され、活性領域を分離する分離領域と、活性領域にゲート酸化膜を介して形成されたゲートとを備え、ゲート酸化膜を電気ヒューズとして作用させるようにしたため、薄い膜を使用して小さい面積で電気ヒューズを作成することができ、電気ヒューズトリミングを採用することが可能となる。

【0022】

この発明に係る半導体装置は、また、半導体基板に形成された活性領域と、半導体基板に形成され、活性領域を分離する分離領域と、活性領域に厚さの異なるゲート酸化膜を介して設けられた複数個のゲートとを備え、各ゲート酸化膜のうち、厚さの薄いゲート酸化膜を電気ヒューズとして作用させるようにしたため、絶縁膜の破壊が容易となるものである。

【0023】

この発明に係る半導体装置の製造方法は、厚さの異なるゲート酸化膜を介して複数個のゲートを設けている半導体装置において、厚いゲート酸化膜上に設けら

れたゲートへの付与電圧を薄いゲート酸化膜上に設けられたゲートに印加して薄いゲート酸化膜を破壊し、電気ヒューズとして作用させるようにしたため、ゲート酸化膜の破壊が容易となり、電気ヒューズの作成が容易となる。

【0024】

この発明に係る半導体装置の製造方法は、また、電気ヒューズまたはキャパシタの形成にトランジスタトレンチ方式分離LOCOS作成プロセスを利用したため、特別な工程を追加することなく、電気ヒューズまたはキャパシタを形成することができる。

【0025】

この発明に係る半導体装置の製造方法は、また、電気ヒューズまたはキャパシタ形成用のゲート酸化膜を、所定の間隔で複数個形成したトレンチの内表面に沿って設けるようにしたため、半導体基板の正面からみたゲート酸化膜形成部分の面積は小さいが、ゲート酸化膜の面積は大きくすることができる。

【0026】

この発明に係る半導体装置の製造方法は、また、電気ヒューズまたはキャパシタ形成用として設けられた複数個のトレンチのうち、少なくとも1個にCMPによる削り過ぎ防止用の絶縁膜を埋め込んだため、CMPによる研磨を的確に行なうことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の構成を示す概略図である。

【図2】 この発明の実施の形態2の製造プロセスのうち、半導体基板へのSiN層の形成工程を示す断面図である。

【図3】 この発明の実施の形態2の製造プロセスのうち、トレンチ形成工程を示す断面図である。

【図4】 この発明の実施の形態2の製造プロセスのうち、トレンチ内への絶縁膜堆積工程を示す断面図である。

【図5】 この発明の実施の形態2の製造プロセスのうち、プリエッチ工程を示す断面図である。

【図6】 この発明の実施の形態2の製造プロセスのうち、CMPによる研

磨、除去工程を示す断面図である。

【図7】 この発明の実施の形態2の製造プロセスのうち、SiN層の除去工程を示す断面図である。

【図8】 この発明の実施の形態2の製造プロセスのうち、ゲート酸化膜とトランスマルチゲート形成工程を示す断面図である。

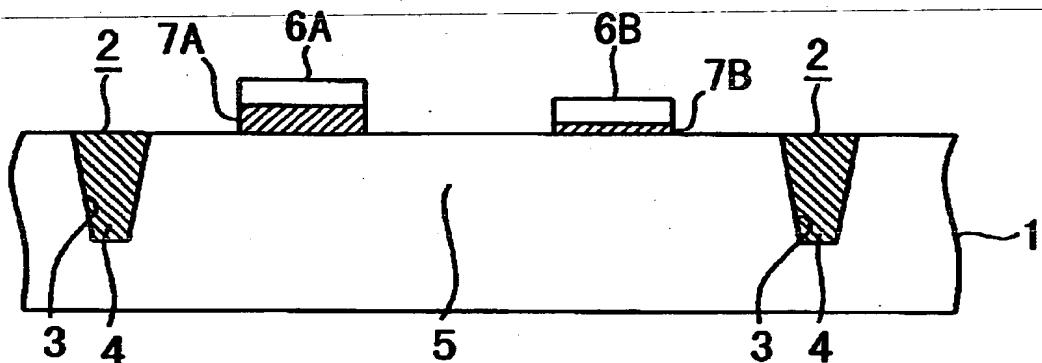
【図9】 この発明の実施の形態3の構成を示す概略斜視図である。

【符号の説明】

1、10	半導体基板、	2	分離領域、	3、12	トレンチ、
4、13、18	絶縁膜、	5、14	活性領域、		
6A、6B	ゲート電極、	7A、7B、16	ゲート酸化膜、		
11	SiN膜、	15	レジスト膜、	17	トランスマルチゲート。

【書類名】 図面

【図1】



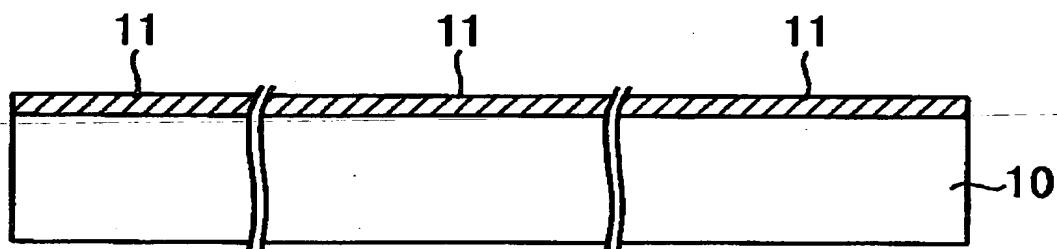
1:半導体基板 5:活性領域
2:分離領域 6A, 6B:ゲート電極
3:トレンチ 7A, 7B:ゲート酸化膜
4:絶縁膜

【図2】

(A)

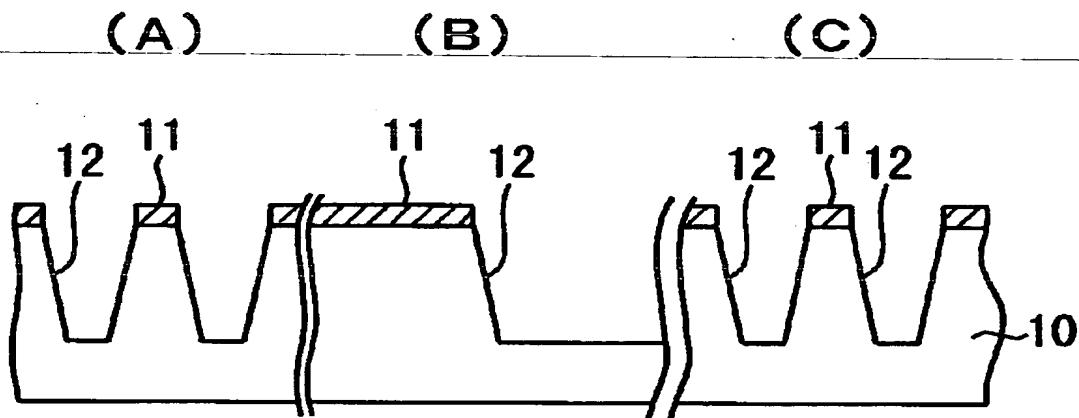
(B)

(C)



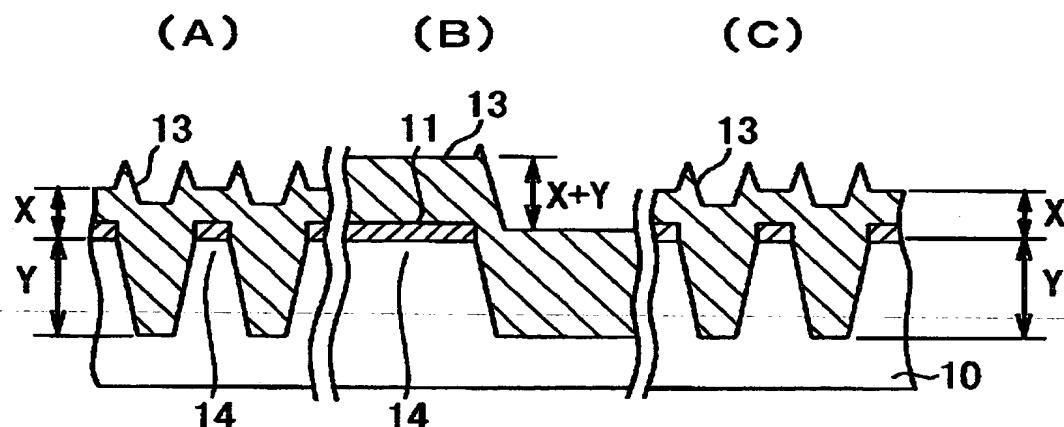
10:半導体基板
11:SiN層

【図3】



12: ドレンチ

【図4】



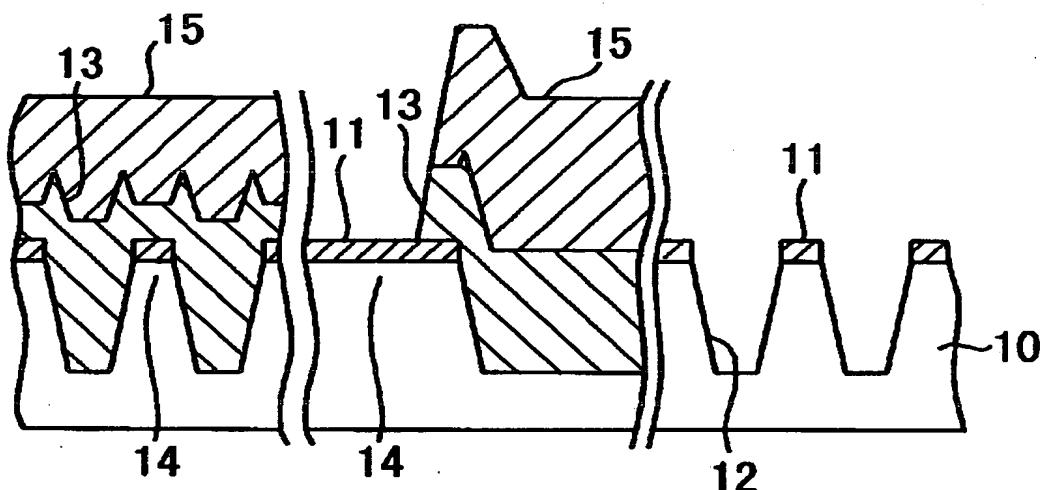
13: 絶縁膜
14: 活性領域

【図5】

(A)

(B)

(C)



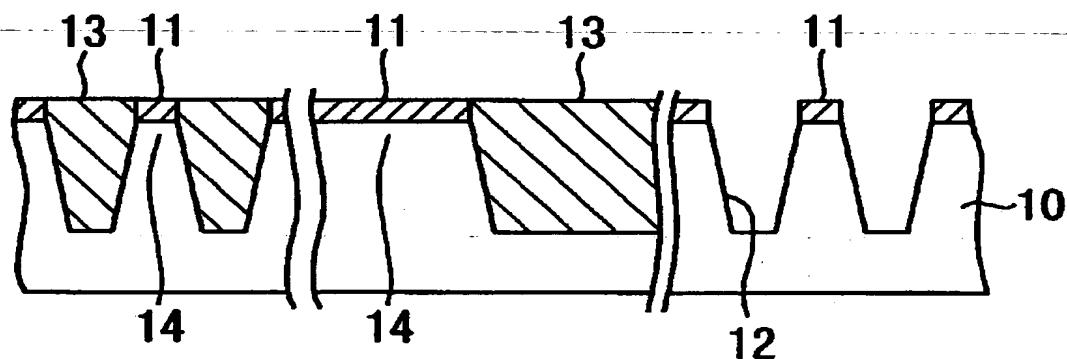
15: レジスト膜

【図6】

(A)

(B)

(C)

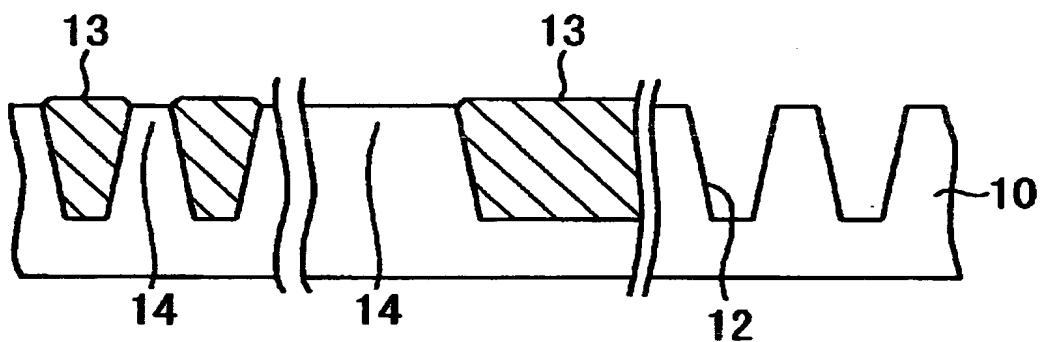


【図7】

(A)

(B)

(C)

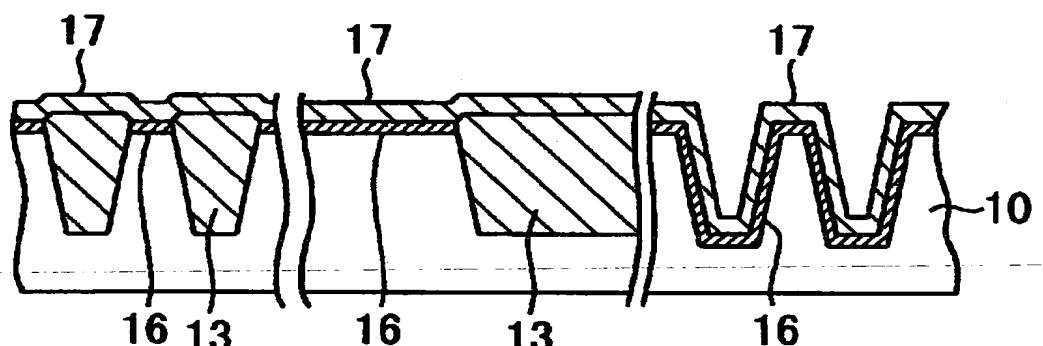


【図8】

(A)

(B)

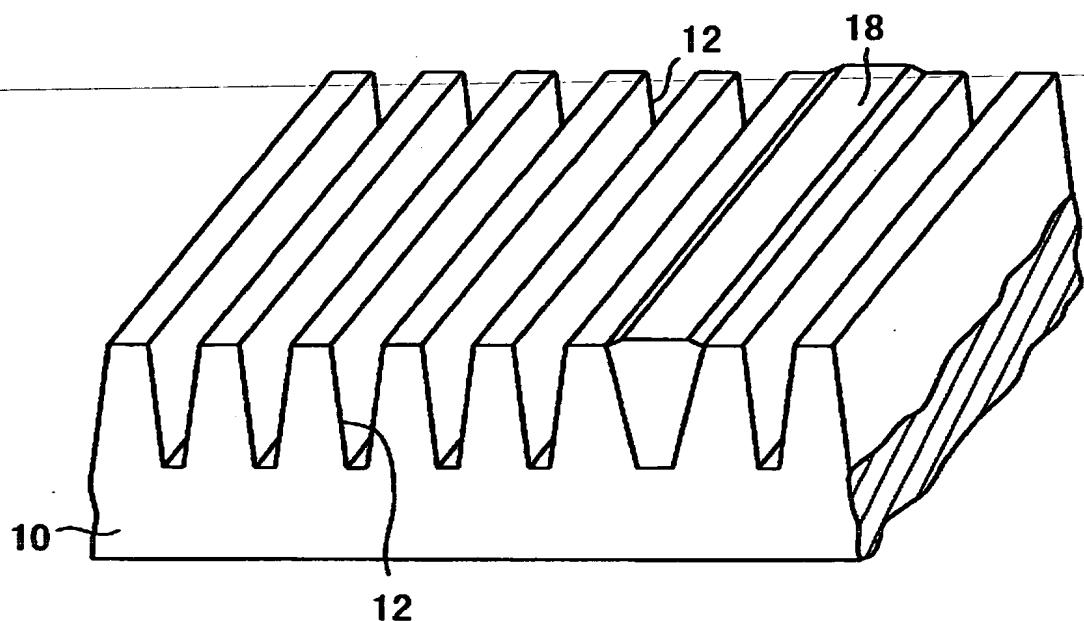
(C)



16:ゲート酸化膜

17:トランジスタゲート

【図9】



18:絶縁膜

【書類名】 要約書

【要約】

【課題】 薄い絶縁膜による小面積の電気ヒューズと、その製造方法を提供する

【解決手段】 半導体基板1に形成された活性領域5と、半導体基板1に形成され、活性領域5を分離する分離領域2と、活性領域5にゲート酸化膜7A、7Bを介して形成されたゲート6A、6Bとを備え、ゲート酸化膜7A、7Bを電気ヒューズとして作用させるようにした。

【選択図】 図1

出願人履歴情報

識別番号 [00006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社